

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭57—202756

⑫ Int. Cl.<sup>3</sup>  
H 01 L 21/76  
21/94

識別記号

庁内整理番号  
8122—5F  
7739—5F

⑬ 公開 昭和57年(1982)12月11日

発明の数 1  
審査請求 有

(全 7 頁)

⑭ 半導体装置の製造方法

川崎市幸区堀川町72番地東京芝  
浦電気株式会社堀川町工場内

⑮ 特 願 昭57—60546  
⑯ 出 願 昭55(1980)11月29日  
⑰ 特 願 昭55—168585の分割  
⑱ 発 明 者 岩井洋

⑲ 出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板にマスキング材料をパターン状に形成し、このマスキング材料をマスクとして前記半導体基板に溝部を形成する工程と、前記半導体基板上に該基板より酸化速度を速くできる膜を堆積する工程と、前記マスキング材料を除去することにより該マスキング材料上に堆積した前記膜を除去し、前記溝部に前記膜を残存させる工程と、前記溝部に残存した前記膜の酸化速度が前記半導体基板の酸化速度より速い条件で酸化を行い、前記膜の酸化物を形成する工程と、前記溝部を含めて前記半導体基板上に絶縁膜を形成する工程と、前記半導体基板の表面の絶縁膜を除去して前記溝部内に実質的に絶縁分離領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

(2) 前記絶縁膜が低融点絶縁物質からなる特

許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は半導体装置の製造方法に係り、特にLSI (Large Scale Integrated circuit) の素子間絶縁分離技術の改良に関する。

〔発明の技術的背景〕

半導体集積回路における分離技術に関しては高集積化、製造プロセスの容易化を図るものとして一般に分離領域を選択酸化技術によって形成した酸化膜を使用するものが知られている。この方式によれば、能動領域の周囲が酸化膜によって取り囲まれているため、ベース拡散等においてセルフアライメントが可能で従来のようなマスク合せのための不要な部分が省略でき、高集積化が一応可能となる。この方式ではシリコン基板中に熱酸化膜を選択的に埋設させる構造のため、シリコン基板に大きな歪が生じ、素子の電気的特性を劣化させ、耐酸化性マスクの

構造、構成、膜厚及び選択酸化条件、時にはシリコン基 体のものの材料自身の選択に著しい制限を与えている。これは、例えば文献IEDM "High Pressure Oxidation for Isolation of High Speed Bipolar Devices" 1979年 pp 340~343に記載されている。

また、従来の絶縁物による素子分離技術ではフィールド酸化時間が長いため、たとえば長時間の酸化によるチャンネルストップの不純物層の拡散、再分布に与える影響は著しく大きい。例えば、横方向への拡散が大きいとMOSトランジスタの実効チャンネル巾は減少し、ドレイン接合容量は増大するので高速デバイス実現に大きな障害になる。更に、耐酸化性マスクとして酸化シリコン膜と酸化膜からなる2重層のものを使用するため、1  $\mu\text{m}$ あるいはそれ以上パズワークが酸化シリコン膜下に喰い込み、その結果2  $\mu\text{m}$ 以下の素子間分離膜の形成が困難であった。これは、例えば文献Birds Beak Configuration and Elimination of Gate Oxide Thinning

Produced during Selective Oxidation " 1980年P 216~222 J.B.C.S に記載されている。

このような選択酸化による素子分離層形成法の欠点を回避するための方法として、本出願人による特願昭55-168585号明細書には半導体基板上にマスクを設け、該基板に所用深さの溝をエッチングにより形成し、ついで気相成長により前記基板より酸化速度を速くできる膜を上記溝が埋る程度の厚みに全面に形成したのち、前記マスクをエッチング等により除去し、これにより、該マスク上の膜も同時に除去し、溝内のみ膜を残留させしかる後、該膜を前記基板より速い条件で酸化を行いこれを素子分離層とする方法が開示されている。

#### 〔背景技術の問題点〕

この方法によれば比較的低温で処理することができ、基板に対する熱的歪等の影響が少なく、パードビークの発生もなく、チャンネルストップの不純物層の横方向への拡散を防止すること

ができるなど多くの利点を有するが、第1図に示すように、半導体基板1に形成された溝2内に残留された素子分離層を形成する絶縁膜3が完全に平坦に堆積されず、溝2の両側面との間に空隙部4が形成される場合がしばしば見られた。

このような空隙部4の存在は素子分離層としての機能を著しく損うのみならず、半導体素子形成のための後の工程に多くの支障をもたらすことになる。

#### 〔発明の目的〕

この発明は上記事情に鑑みてなされたもので、その目的は、絶縁膜と溝の両側面との間の空隙の存在を解消し、素子領域とフィールド領域とを略完全に平坦化することのできる半導体装置の製造方法を提供することにある。

#### 〔発明の概要〕

この発明は半導体基板に形成した溝に第1の絶縁膜を残留させた後、さらにこの上に低融点絶縁物質からなる第2の絶縁膜を形成し、前記

第1の絶縁膜と溝との空隙部を完全に埋め込むものである。

#### 〔発明の実施例〕

以下、図面を参照してこの発明の一実施例をnチャンネルMOSLSIの製造工程に適用した場合について説明する。

- (I) 先ず、半導体基板11(例えば、p型単結晶シリコン基板)に写真蝕刻法等によりパターン状に形成したマスクング材料12(例えば厚さ1.5  $\mu\text{m}$ のレジスト膜)をマスクとしてエッチングを行い溝部13(例えば幅3  $\mu\text{m}$ 、深さ1  $\mu\text{m}$ )を形成する(第2図(a))。なお、溝部13のエッチング方法としては、リアクティブ・イオンエッチングまたは通常のテーパエッチングを行ってもよい。
- (II) 次に、マスクング材料12をマスクにしてフィールド反転防止用の不純物(例えばボロン)を例えばイオン注入により注入(加速電圧80 keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ )し、フィールド反転防止領域14を形成する(第2図(b))。

なか、蒸着速度などの条件によっては、上記不純物の注入は必ずしも必要ではなく省略してもよいし、注入は場合によっては後の絶縁膜形成後であってもかまわない。

(iii) 次に、半導体基板11より酸化速度の速い物質（たとえばアルミニウムの如く陽極酸化などを用いてシリコン基板より速く酸化できる物質、又は多孔質シリコンの如く熱酸化によりシリコン基板より速く酸化できる物質）で膜15を形成する（第2図(c)）。

(iv) 次に、マスキング材料12をエッチング除去し、マスキング材料12とともにその上に積層されている膜15を除去し、溝部13内のみ膜15を残存させる（第2図(d)）。

(v) 次に、溝部13に埋込んだ膜15が基板11よりも酸化速度の速い条件（例えば、膜15が $Al$ 膜の場合は陽極酸化、多孔質シリコンのときは熱酸化）で酸化を行い、膜15を酸化膜15'（膜15が $Al$ 膜の場合は $Al_2O_3$ （アルミナ）、多孔質シリコンの場合は $SiO_2$ 膜となる）

にする。このとき、基板11上にも薄い酸化膜22が成長する（第2図(e)）。この場合、基板11は膜15に比べて酸化速度が遅いので、膜15に隣接する部分は殆んど酸化されず、フィールド酸化膜の横方向への食い込み（バードビーク）の発生はない。

(vi) 次に、薄い酸化膜22をエッチングして基板11を露出させ、溝部13にのみ酸化膜15'を残す。その結果、第2図(f)に示すように酸化膜15'と溝部13の両側面との間に空隙部 $\alpha$ （例えば、深さ1 $\mu m$ 、酸化膜15'の肩部と溝部13の上部との幅約1 $\mu m$ ）が形成された状態となる。

(vii) さらに、溝部13を含めて、半導体基板11の上面の全面に第2の絶縁膜、例えば低融点絶縁物質16（例えばボロンリン珪化ガラスBPSG）を例えば厚さ1～2 $\mu m$ 堆積し、これを溶融させて上記空隙部 $\alpha$ 内に該低融点絶縁物質16が十分に埋め込まれるようにする（第2図(g)）。第2の絶縁膜としては、ポリイミド、ス

ピンコート用 $SiO_2$ 、CVD $SiO_2$ 、レジストなどを、使用してもよく、またトランジスタチャンネルMOBLBIの場合は、リン珪化ガラス（PSG）、ヒ素珪化ガラス（AsBG）を使用することが望ましい。

(viii) 次に、低融点絶縁物質16の層をエッチングし、これを半導体基板11の上面が露出されるまで行くと、溝部13内にのみ酸化膜15'及び低融点絶縁物質16が埋め込まれた上面平坦なフィールド領域（絶縁分離領域）及びこれと同一平面をなす素子領域を有する半導体基板11が得られる（第2図(h)）。

(ix) 最後に、ゲート酸化膜17、ゲート電極18を設け、ソースあるいはドレインとなる $n^+$ 層19を設け、層間絶縁膜20を堆積し、コンタクトホール21を開け例えば $Al$ の配線22を施し、LBIの主要な工程を終える（第2図(i)）。

上記のような方法では、以下のような種々の利点を有する。

(i) フィールド酸化膜形成時に基板11は殆んど酸化されないため、バードビークの発生がな

く、フィールドの微細化が可能である。

(2) フィールド酸化時の所要時間が短縮できる。また、陽極酸化などを用いた場合はフィールド酸化時にまったく熱工程がなくなるので、フィールド反転防止領域14の横方向への拡散をおさえることができることがある。さらに、溝部13を深くしてフィールド反転防止領域14を深く設ければ、フィールド酸化時またはそれ以降の熱工程が多少長くなってもフィールド反転防止領域14が素子領域にしみ出てくるおそれはない。

(3) フィールド領域を形成する酸化膜15'と溝部13の両側面との間に凹み又は空隙が存在するおそれが全くなくなるから、特性上良好な素子分離層を歩留りよく形成することができ、かつ素子領域とフィールド領域を平坦化できるため、以降の微細なリソグラフィ工程にとって極めて有利となる。

次に、この発明の他の実施例について説明する。

(1) マスキング材料 12 としてはレジスト膜以外の例えば Al でもよく、例えば第 3 図に示すように  $\text{SiO}_2$  膜 25 と多結晶シリコン膜 26 の 2 層構造でよい。この場合はマスキング材料の上の膜 15 を除去するため、 $\text{SiO}_2$  膜 25 を残して多結晶シリコン膜 26 をエッチング除去してもよい。

(2) 膜 15 を堆積する前に溝部 13 に絶縁膜を薄く（たとえば  $1000 \text{ \AA}$  の厚さ）堆積しておいてもよいし、溝部 13 にあらかじめ薄く酸化膜を形成しておいてもよい。

(3) 膜 15 は 2 種類の物質からなる 2 層構造の膜でもよい。

(4) レジスト膜 12 の下に耐酸化性膜例えば  $\text{Si}_3\text{N}_4$  膜を設けておき、膜 15 をフィールド酸化するとき  $\text{Si}_3\text{N}_4$  膜をマスクとして基板 11 の酸化を防止してもよい。

さらに上記工程 (4) に示す低融点絶縁物による空隙 \* \* への埋込み工程を第 4 図 (a) に示すように、最初にボロン等の不純物を含んだ絶縁層

16' をたとえば  $5000 \text{ \AA}$  厚さに堆積し、次いで低融点絶縁層 16' を  $1 \sim 2 \mu\text{m}$  堆積し、これらを例えば  $1000^\circ\text{C}$ 、40 分で溶融処理し、第 4 図 (b) に示すように溝部 13 の両側面に  $p^+$  層 27 を拡散させ反転防止領域を形成し、次いで全面エッチングを行ない、溝部 13 内にのみに絶縁物層 16'、16' 又は実質的に絶縁物層 16' のみ（但し、この場合、絶縁物層 16' を例えば  $1 \mu\text{m}$  堆積させる）を残留させるようにしてもよい。又は、溝部 13 の両側面に  $p^+$  層 27 を拡散させるのは必ずしも溶融処理のときでなくてもよく、その後の熱工程で拡散させてもよい。さらに反転防止領域の形成は、この他に通常のイオン注入法によっても支ええない。

(5) 又、第 5 図に示すように上記工程 (4) において、レジストをマスクとしてヒ素又はリン等をイオン注入してフィールド領域下方に  $n^+$  配線層 28（ボロン等の  $p$  型不純物の場合は  $p^+$  配線層）を形成するようにしてもよい。

(6) さらに、第 6 図に示すように上記工程 (4) に

おける絶縁層 15 の堆積に先立ち、モリブデン、シリサイド、ポリシリコン等の導電層 29 を堆積させ、その上に絶縁層 15 を堆積させ以降レジスト膜のエッチング以降の前記工程に従って処理し、フィールド領域下方に導電層を有する構造とすることもできる。

(7) さらに、半導体基板として上記実施例のものに限らず、 $p$  型シリコン基板、 $n$  型シリコン基板、GaAs などの化合物基板上にエピタキシャル成長により単結晶半導体層を形成させたものを用いてもよい。また、半導体基板としてサファイア基板、スピネル基板等の単結晶絶縁体基板上に単結晶半導体層を形成させたものを用いてもよい。これらの場合の素子分離領域の形成工程は上記工程 (I) ~ (IX) をそのまま適用することができる。第 7 図はこのような複数層からなる基板を用いた場合における図で、第 2 図 (a) に対応し、第 2 図 (a) と異なる点は  $p$  型シリコン、 $n$  型シリコン、GaAs などの化合物、又はサファイア等の絶縁物からなる第 1 の基板 30 上に単

結晶半導体層 31 が堆積されている点である。その他の構成については第 2 図の場合と特に異なるところはないので同一部分については同一符号を付してその説明を省略する。

(8) また、第 2 図 (f) (g) に示す実施例では空隙 \* \* へ直接、低融点絶縁物質 16 を以って埋め込むようにしたが、これに限らず、第 8 図に示すように、上記工程 (4) ののち、空隙部 \* へ予め CVD 法等により  $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$  等の絶縁物質 32 を以ってほぼ十分に埋め込み、そののち上記工程 (4) のように低融点絶縁物質 16 でさらに埋め込むようにしてもよい。あるいは、 $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$  等で十分に厚く堆積したのち、研磨等により平坦化することも可能である。

(9) また、上記 (vi) の工程において低融点絶縁物質 16 は必ずしも半導体基板 11 の上面が露出するまでエッチングする必要はない。例えば、第 9 図 (a) に示すように溝部 13 を形成するためのマスキング材料 12 の下にもう一層マスキング材料（例えば  $\text{Si}_3\text{N}_4$ ）33 を敷いておく。以

下、前述の実施例と同様に膜15を堆積し、マスクング材料12を除去することにより溝部13に膜15を残存させる。このときマスクング材料12の方は除去しないようにする。次に、膜15を酸化して酸化膜15'した後、第9図(b)に示すように低融点絶縁物質(第2の絶縁膜)16を堆積し、空隙部aが充分埋め込まれるようにする。次に、第9図(c)に示すようにエッチングを行い溝部13内に低融点絶縁物質16が埋め込まれるようにする。このエッチングは半導体基板11が露出するまでではなく、マスクング材料12が露出するまで行えばよい。次に、第9図(d)に示すようにマスクング材料12を除去する。このようにすることによって、フィールド絶縁膜の高さを半導体基板11より高くできる。フィールド絶縁膜はこの後の希弗酸処理などにより膜厚が減ることも多いので、このようにあらかじめ半導体基板11より高めにしておくのも効果的である。

なお、マスクング材料12としては $Si_3N_4$ に

限らず第10図に示すようにマスクング材料12として、 $Si_3N_4$ 膜を用い、その下に $SiO_2$ 膜14を敷いたような2層構造であってもよい。このときは、最後に $Si_3N_4$ 膜を除去するときに $Si_3N_4$ のエッチングが $SiO_2$ 膜14で確実に止まるので、半導体基板11までエッチングされる心配はない。

また、フィールド膜を半導体基板11より高くするためには、このような方法をとらず第2図(a)の工程の後、第11図に示すように半導体基板11をエッチングするようにしてもよい。00 上記実施例では絶縁膜15'の膜厚を溝部の深さと同じ位にしたが、必ずしもこれに限定するものではない。

絶縁膜の膜厚が薄い場合の例を第12図に示す。また低融点物質も必ずしも空隙部がすべて埋まるようにする必要はなく第13図に示すように空隙部の部分で多少低くなるようにしてもよい。

01 前記実施例はnチャネル構造について説

明したが、pチャネル構造であってもよいことは勿論である。この場合、n型シリコン基板に堆積する膜15として磷又は砒素をドーピングした多結晶シリコンを用い、ウェット酸化(特に温度が900℃以下であると、n型多結晶シリコンとシリコン基板の酸化速度の差が大きくなる。)により酸化するようにしてもよい。また、その他CMOS構造、バイポーラ素子等にも適用できることは勿論である。

#### 〔発明の効果〕

以上のようにこの発明によれば、絶縁膜と溝部の両側面との間には空隙部が生ずることがなく、素子領域とフィールド領域とを平坦化することができ、高集積化及び高性能化を図り得る半導体装置の製造方法を提供できる。

#### 4. 図面の簡単な説明

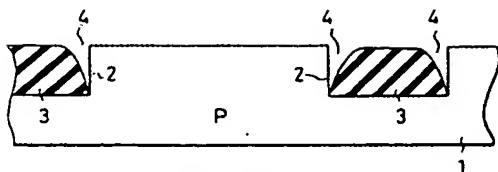
第1図は従来の方法によって得られる半導体素子分離層の最終形状の一例を示す断面図、第2図(a)~(f)はこの発明の一実施例に係る製造工程を示す断面図、第3図乃至第13図はそれぞ

れこの発明の他の実施例に係る断面図である。

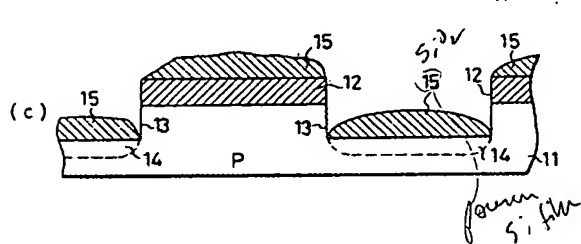
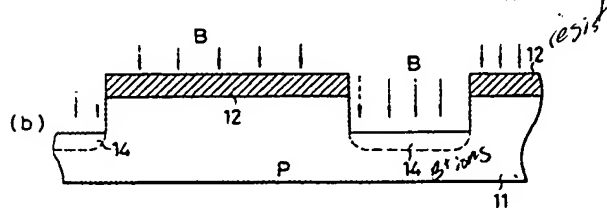
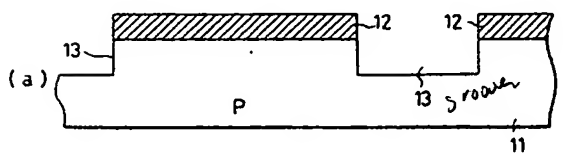
11…半導体基板、12…マスクング材料、13…溝部、15…膜、15'…酸化膜、16…低融点絶縁物質、a…空隙部。

出願人代理人 弁理士 鈴 江 茂 彦

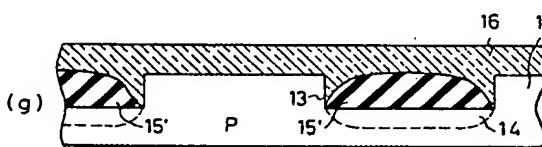
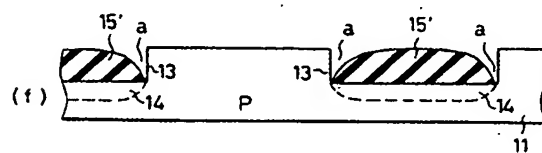
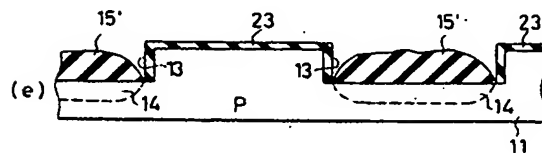
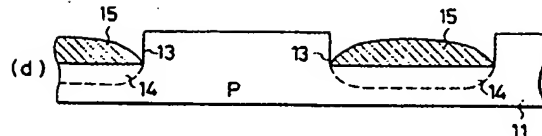
第 1 図



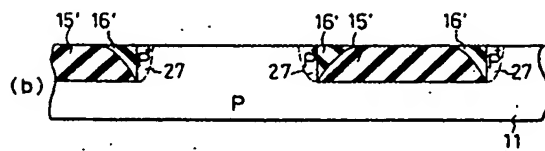
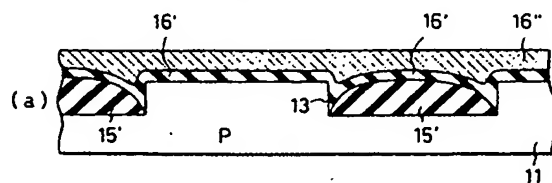
第 2 図



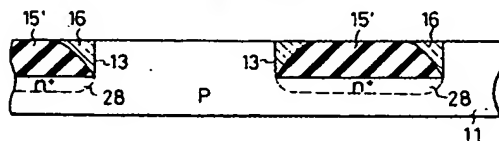
第 2 図



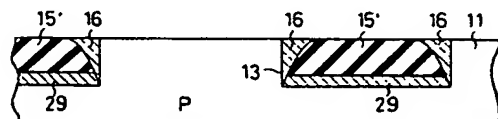
第 4 図



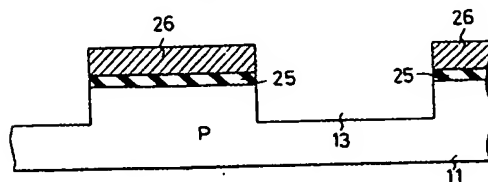
第 5 図



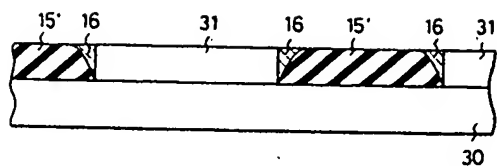
第 6 図



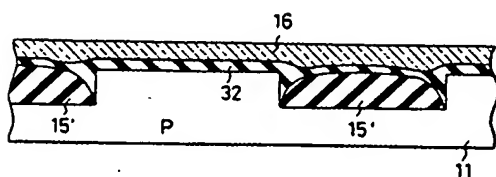
第 3 図



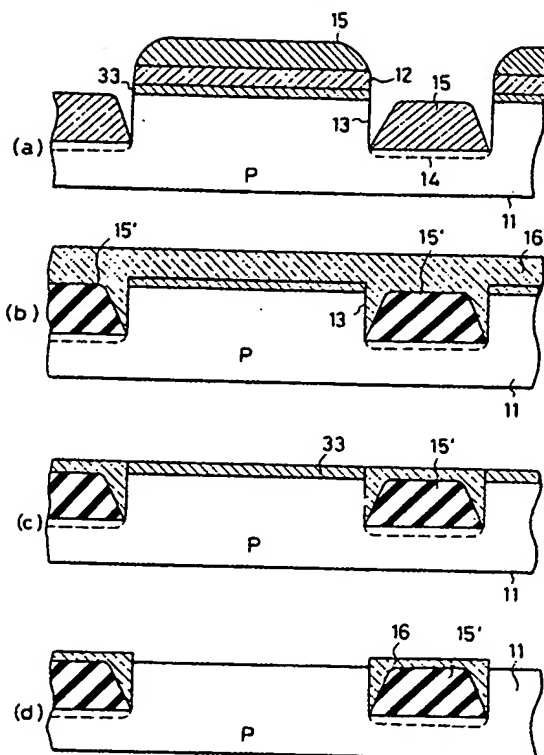
第7図



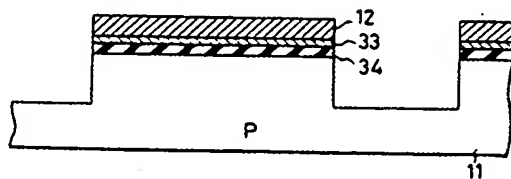
第8図



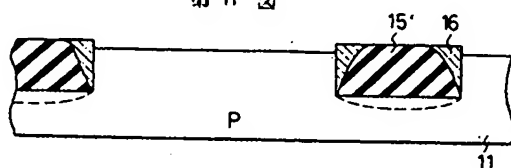
第9図



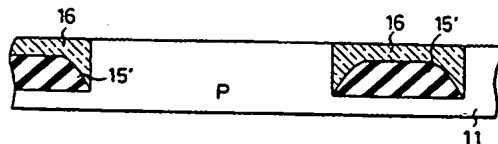
第10図



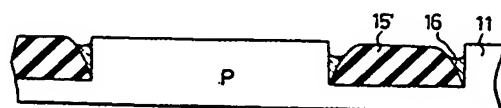
第11図



第12図



第13図



PAT-NO: JP357202756A

DOCUMENT-IDENTIFIER: JP 57202756 A

TITLE: MANUFACTURE OF  
SEMICONDUCTOR DEVICE

PUBN-DATE: December 11, 1982

INVENTOR-INFORMATION:  
NAME  
IWAI, HIROSHI

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP57060546

APPL-DATE: April 12, 1982

INT-CL (IPC): H01L021/76, H01L021/94

US-CL-CURRENT: 257/E21.551, 257/E21.553 ,



438/363 , 438/FOR.231

## ABSTRACT:

**PURPOSE:** To flatten completely the element regions and the isolation regions of an LSI by a method wherein films being possible to be oxidized faster than a substrate are made to be survived selectively in grooves provided in the Si substrate, oxidation is performed, and the gap parts in the grooves are eliminated completely with an insulating matter of low melting point.

**CONSTITUTION:** The grooves 13 are formed in the P type Si substrate 11 applying a resist mask 12, and B ions are implanted to form inversion preventive layers 14. The surface is covered with porous Si films 15, the resist mask 12 and polycrystalline Si layers formed thereon are removed, and when thermal oxidation is performed, the films 15 are converted into the  $\text{SiO}_2$  films 15', and thin  $\text{SiO}_2$  films 23 are generated on the substrate. Because the oxidizing speed of the substrate

11 is slow,  
enchroaching upon the isolation layer side is not  
generated. The thin films 23  
are etched to expose the substrate making the  
 $\text{SiO}_2$  films 15' to be  
survived only in the grooves 13, and BPSG 16 is  
accumulated and is molten to be  
buried up sufficiently in the gaps a. When the surface of  
the layer 16 is  
etched to expose the upper face of the substrate 11, the  
Si substrate 11, the  
Si substrate having the insulating isolation layers and  
the element regions  
being in the same plane therewith and having the flat  
upper face can be  
obtained. When the LSI is formed by this constitution,  
miniaturization of  
field can be attained, and the isolation layers having the  
favorable  
characteristic can be obtained with favorable yield.

COPYRIGHT: (C)1982,JPO&Japio